

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 52-106648

(43)Date of publication of application : 07.09.1977

(51)Int.Cl.

G06F 1/04

G06F 11/00

H03K 3/00

(21)Application number : 51-023290

(71)Applicant : HITACHI LTD

(22)Date of filing : 05.03.1976

(72)Inventor : KAZAMI HARUO

(54) PULSE ABNORMALITY DETECTING DEVICE

(57)Abstract:

PURPOSE: To provide a pulse abnormality detecting device to detect abnormality in the pulse signal of a synchronous interface by find out an instantly abnormal and intermittent trouble detecting whether the width of input pulse stays within the maximum and the minimum pulse width specified in the specification by data signal.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬日本国特許庁

⑭特許出願公開

公開特許公報

昭52—106648

⑤Int. Cl. ²	識別記号	⑥日本分類	庁内整理番号	④公開 昭和52年(1977)9月7日
G 06 F 1/04		97(7) F 01	6745—56	
G 06 F 11/00		97(7) G 0	6676—56	発明の数 1
H 03 K 3/00		98(5) C 0	6628—53	審査請求 未請求

(全 5 頁)

⑭パルス異常検出装置

①特 願 昭51—23290

②出 願 昭51(1976)3月5日

⑦発 明 者 風見晴雄

秦野市堀山下1番地株式会社日

立製作所神奈川工場内

⑧出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5
番1号

⑨代 理 人 弁理士 薄田利幸

明 細 書

1. 発明の名称 パルス異常検出装置

2. 特許請求の範囲

①、入力パルス信号のパルス巾を所要の基準値と対比して前記パルス信号の異常を検出するパルス異常検出装置において、前記パルス信号をもとにパルスを生成する手段と、該手段の出力を遅延する手段とより成り、前記基準値を少なくとも一つ設定し前記パルス信号の異常を検出するパルス異常検出装置。

②、特許請求の範囲①に記載のパルス異常検出装置において、前記遅延する手段の遅延時間を前記基準値のうち最小の値に設定し、前記遅延する手段の出力が前記入力信号と時間的に合致しないとき前記パルスを生成する手段が再度パルスを生成して、前記基準値のうち最小の値より小さい前記パルス信号を検出することを特徴としたパルス異常検出装置。

③、特許請求の範囲①に記載のパルス異常検出装置において、前記パルスを生成する手段の

出力パルスを前記基準値のうち最大の値の時間だけ遅延してえた信号と前記パルス信号とが時間的に合致するとき前記基準値のうち最大の値より大きい前記入力信号を検出することを特徴とする異常パルス検出装置。

3. 発明の詳細な説明

本発明はパルス異常検出装置に関し、特に電子計算機の誤り検出回路部等に用いられるパルス異常検出装置に関する。

例えば電子計算機において瞬時的に発生する間欠障害は再現性に乏しく、その障害個所を発見して対策を講ずることはむずかしい。従来から障害個所を指摘するために使用されている診断プログラムは固定障害に対しては大きな効果を発揮することができるが、上述のような間欠障害に対しては全く役に立たなかった。従来、かかる障害に対しては障害発生時の各レジスタのデータを分析して障害の対策が講じられてきたが、短時間では分析困難な場合が多く、しばしばかかる障害は長期にわたる電子計算機等の

トラブルとなった。

本発明はこのような瞬間的に発生する異常な間欠障害に対する解決策を提供することを目的としており、入力データのパルスが正常な波形であるか否かを瞬間的にチェックする機能を有しており、特に非同期的なインターフェースのパルス信号の異常の検出に有効に作用するものである。

本発明のパルス異常検出装置における入力信号はチェックされるデータ信号のみであり他に特別な入力信号は一切必要としないことも大きな特徴である。また、本発明による入力データパルスの異常の検出態様の一例は次の通りである。

(A) 入力データのパルス巾が仕様による最小のパルス巾（システムが正常に動作することを保証されるパルス巾のうち最小値を指し、パルス異常検出の基準値の一つとなる）より短い場合、その入力データを異常として検出する。すなわち、この場合は第1図Aに相当し、これ

はラインにノイズが乗ったとき、また論理的不良によりハザードが出たとき等に発生する。

(B) 入力データのパルス巾が仕様による最大のパルス巾（パルス異常検出の他の一つの基準値）より大きい場合、当該入力データを異常として検出する。この場合は第1図Bに相当し、これは温度などシステムの周辺環境条件の変化により間欠的に発生するショート等により発生する。

(C) 入力データのパルスがチャタリング、リネーシングなどを起して途中でレベルが落込み、仕様による最小パルス巾より短い複数個の間欠パルスとして入力する場合、同様にその入力データを異常として検出する。これは第1図Cの場合に相当する。

以下、本発明の一実施例を添付図面を用いて詳細に説明し、本発明の技術思想を開示する。

第2図はその一実施例の構成を示すブロックダイアグラムであり、第3図～第5図はその動作を説明するための波形図である。

第2図において、1は波形整形を行う肯定回路、2、6と9～11はエッジトリガタイプフリップフロップ、3は遅延時間がAのデイレ回路、4は排他的論理和回路、5は遅延時間がBのデイレ回路、7は同じく遅延時間がCのデイレ回路、また8は否定回路である。

次に、本実施例の動作を第3図～第5図を用いて説明する。

先ず第3図を用いて、入力データが正常な場合の動作について説明する。

チェックされるパルス巾がXの入力データは肯定回路1に入力され波形整形されることにより、本実施例の各構成要素（各負荷回路）に正しい波形の信号を送るとともに入力データの信号状態に極力悪影響を与えないようにしている。肯定回路1の出力(1)はエッジトリガ型フリップフロップ2のトリガ用信号として入力され、同フリップフロップ2は同回路1よりのパルス入力があるとトリガされ、その「1」出力(2)と「0」出力(3)の出力を互いに反転する。この「0」出力

はデイレ回路3に加えられ一定時間Aだけ遅延され（第3図(1)）、この遅延信号(2)と上述の「1」出力(2)は排他的論理和回路（以下、EOR回路と略する）4に加えられ、第3図(4)の波形信号をうる。従って、入力データが入る毎にフリップフロップ1はトリガされ、EOR回路4はデイレ回路3の遅延時間Aに等しい時間巾のパルス信号(4)を出力することになり、この時間巾Aは少なくとも本実施例の各構成要素を駆動するに最小限要する時間を満すように設定されている。

EOR回路4の出力(4)はデイレ回路5に印加されその遅延時間Bだけ遅延され第3図(5)のようになり、フリップフロップ2の入力にフィードバックされる。ここで、遅延時間Bはチェックすべきパルス巾の仕様の最小値に設定されている。なお、上述の説明から明らかなようにフリップフロップ2の入力は整形された入力データ信号(1)とデイレ回路5の出力(5)との論理和されたものである。

次に、これ以降の動作は入力データのパルス巾の違ひによって異ってくるので、以下、入力データのパルス巾を第1図に例示した場合に基づいて分けて、異常入力パルスの検出動作を説明する。

(A) 入力データのパルス巾が仕様の最小パルス巾より小さい場合の検出動作(第1図(A)参照)

前述のEOR回路4の出力はエッジトリガ型フリップフロップ6のトリガ端子Tに加えられ、また整形入力データHの反転信号がその他の端子Dに加えられている。従って今、入力データのパルス巾Xが第4図(H)のように仕様の最小パルス巾Bより狭いXAの場合、その入力信号による前述のようなパルス処理によりデイレ回路5からの出力は第4図(H)のようになり、この出力パルスによりフリップフロップ2は再度トリガされる。このトリガによるNOR回路の再出力は第4図(H)のようになり、フリップフロップ6をトリガする。すなわち、フリップフロップ6は入力データのパルス巾が仕様パルス巾より狭く異常であることを検出する。

今、入力データのパルス巾XBが仕様の最大パルス巾Cより大きいときにはデイレ回路7の出力(H)は第5図(H)のようになり、この出力は第5図(H)のような入力データと一部時間的に重複し、よってフリップフロップ9はこれらの入力信号によりトリガされる。

入力データのパルス(H)が仕様の最大パルス巾Cより狭い場合、すなわち正常な入力パルスであるときには第5図(H)のような遅延出力も第3図(H)のような入力データは時間的に一致せず、従ってフリップフロップ9はトリガされない。よって、入力データのパルス巾が仕様の最大パルス巾より広い場合のみ当該入力データが異常である旨をフリップフロップ9で検出する。

(C) 仕様の最小パルス時間巾内で入力データパルスが複数入力する場合の検出動作(第1図(C)参照)

前述のEOR回路4の出力はエッジトリガ型フリップフロップ10のトリガ端子Tに、またデイレ回路5の出力(H)は同フリップフロップ

の端子Rに加えられ、さらに同フリップフロップの"0"出力は同型フリップフロップ11のトリガ端子Tにも印加される。そして、これらフリップフロップ10と11はカウンタを構成している。今、入力データパルスが仕様の最小パルス巾Bの時間範囲内で第6図(H)のように複数入力したとき(図示では3個の場合を図示している)、最初の入力パルスX1による第6図(H)のようなEOR出力によりフリップフロップ10はトリガされ、さらに遅延出力(第6図(H))により同フリップフロップがリセットされる前に第2の入力パルスX2が入力されるので、同X2によるEOR出力(第6図(H))は同フリップフロップのリセット前にトリガ端子Tに加わる。この場合にはフリップフロップ11はフリップフロップ10の"0"出力によりリセットされる。すなわち、入力データパルスが仕様時間巾B内で少なくとも2個入力したときにはEOR回路4より少なくとも2個のパルスをフリップフロップ10に加え、その入力パルス数のカウントを最終的にフリップフ

(D) 入力データのパルス巾が仕様の最大パルス巾より広い場合の検出動作(第1図(D)参照)

前述のEOR回路4の出力はデイレ回路7に加えられその遅延時間Cだけ遅延されてエッジトリガ型フリップフロップ9のトリガ端子Tに入力される。ここで、この遅延時間Cはチェックすべきパルス巾の仕様の最大値に設定されている。また、フリップフロップ9のD端子は整形データ信号(H)が加えられている。従って、

の端子Rに加えられ、さらに同フリップフロップの"0"出力は同型フリップフロップ11のトリガ端子Tにも印加される。そして、これらフリップフロップ10と11はカウンタを構成している。今、入力データパルスが仕様の最小パルス巾Bの時間範囲内で第6図(H)のように複数入力したとき(図示では3個の場合を図示している)、最初の入力パルスX1による第6図(H)のようなEOR出力によりフリップフロップ10はトリガされ、さらに遅延出力(第6図(H))により同フリップフロップがリセットされる前に第2の入力パルスX2が入力されるので、同X2によるEOR出力(第6図(H))は同フリップフロップのリセット前にトリガ端子Tに加わる。この場合にはフリップフロップ11はフリップフロップ10の"0"出力によりリセットされる。すなわち、入力データパルスが仕様時間巾B内で少なくとも2個入力したときにはEOR回路4より少なくとも2個のパルスをフリップフロップ10に加え、その入力パルス数のカウントを最終的にフリップフ

ロップ11で行い、入力パルス(4)の異常を検出する。

この(4)の場合は上述のように入力パルス巾が仕様最小巾より狭い場合であるから当然(4)の場合にも相当し、当該入力の異常はフリップフロップ6でも検出されるが、当異常検出装置ではフリップフロップ11が動作したときには他のフリップフロップ6に優先させているので、(4)と(5)の場合の混同はない。

なお、以上の本実施例ではデイレ回路5、6を別々に設けているが、入力データのパルス巾の検出を別々に行うか、またはパルス巾の仕様の最大値と最小値が等しい場合にはこれらのデイレ回路5、6は共用化することができ、この場合にはデイレ回路5の出力を直接フリップフロップ9のトリガ端子Tに加えることができる。

また、以上の実施例のフリップフロップ6、9、11のリセット端子には外部からリセット信号が加わるようになっており、検出動作をした

当該フリップフロップはすべて該リセット信号によりリセットされる。

以上実施例を用いて説明したように、本発明は入力データのパルス信号に応じて当検出装置の各構成要素が動作するのに必要な時間巾のパルスを生成し、該パルスを所要時間遅延してフリップフロップより成る検出手段に導入し、しかも入力データ信号の異常を少なくとも一つの仕様による基準値と対比せしめて、入力データ信号の種々の異常を検出することができるようにしたので、電子計算機等において瞬時的にかつ断続的に発生するような間欠障害に対し、入力パルスの異常を迅速・正確に検出することができ、特にシンクロスコープ等では観視不可能なような非同期のインターフェースのパルス信号に対しても効果は著るしい。

なお、本発明のパルス異常検出装置は電子計算機の誤り検出用の他、一般的にパルス信号の異常発生・処理を行うような送信器、計測器等に広く適用できることは容易に理解できる。

4. 図面の簡単な説明

第1図は本発明の検出機能の一例を示す図、第2図は本発明の一実施例の構成を示すブロックダイアグラム、第3図～第6図は第2図の実施例の動作を説明する波形図。

- 1…肯定回路、 4…NOR回路、
2, 6, 9, 10, 11…エッジトリガタイプフリップフロップ、
3, 5, 7…デイレ回路、
8…否定回路。

図 1



